

edaWorkshop 11

edaWorkshop und CATRENE DTC 2011 – Ein Rückblick

Von Christoph Grimm, Jürgen Haase, Paul Merkus, Cordula Prüfrock, Ralf Popp, Serge Scotti, Dieter Treytnar, Andreas Vörg

In diesem Jahr fand der edaWorkshop wie schon 2009 zusammen mit der CATRENE Design Technology Conference (DTC) in Dresden statt. Die Veranstaltung zog wieder einmal mehr als 100 Teilnehmer an, die an drei Tagen vier Keynotes und zwei Podiumsdiskussionen sowie 21 Fachvorträge in 8 Sessions und eine umfangreiche Poster- und Demonstratoren-Ausstellung geboten bekamen. Die Themen beinhalteten sowohl detaillierte Erkenntnisse aus der nationalen und europäischen Projektarbeit, als auch Forschungsarbeiten außerhalb der Förderprojekte. Diese Mischung aus wissenschaftlichen und anwendungsorientierten Beiträgen lieferte wie schon im Vorjahr einen guten Überblick über den derzeitigen Stand der deutschen und europäischen EDA-Forschung. Von einigen Höhepunkten der Veranstaltung wird in diesem Artikel – teilweise in englischer Sprache – berichtet.



Abbildung 3.01: Dr. Andreas Brüning von ZMDi

„Network Thinking – Growing Together“

– unter dieses Motto stellte Andreas Brüning, bei Silicon Saxony als Fachbereichsleiter Mikro-/Nano“ Mitglied des Vorstands, seine Eröffnung der Veranstaltung. Der Silicon Saxony Cluster umfasst derzeit ca. 1.500 IKT-Firmen mit ca. 43.000 Arbeitsplätzen, von denen etwa 200 Firmen mit 20.000 Beschäftigten die komplette Wertschöpfungskette der Mikroelektronik abdecken. Weiter habe sich Sachsen zum

Trendsetter der Solarindustrie in Deutschland entwickelt, so Brüning.

Neben den vielfältigen Arbeitskreisen und Initiativen innerhalb von Silicon Saxony liegt Brüning besonders der weitere Ausbau der auf einigen Gebieten bereits intensiv stattfindenden Kooperation zwischen den beiden führenden europäischen Clustern Dresden und Grenoble am Herzen. Er betont „Kooperation und Technologietransfer“ sowie „Business-Netzwerke und -Plattformen“ als Kernfaktoren für einen nachhaltigen wirtschaftlichen Erfolg.

Zur Kooperation und Netzwerkbildung auf europäischer Ebene leisten auch der edaWorkshop und die CATRENE DTC einen wichtigen Beitrag. Durch die koordinierte Durchführung beider Veranstaltungen an einem gemeinsamen Ort wurde sehr effizient ein intensiver fachlicher Austausch der führenden europäischen Experten ermöglicht. Symbolhaft hierfür wurde der gemeinsame zweite Tag der dreitägigen Veranstaltung von einer ganz besonderen Keynote eröffnet:

Weitere Informationen zum edaWorkshop sowie eine Bildergalerie der Veranstaltung finden Sie unter www.edacentrum.de/edaWorkshop/.



Abbildung 3.02: Blick in den Vortragsraum des edaWorkshop



Abbildung 3.03: Dr. Gerd Teepe und Philippe Magarshack präsentieren eine gemeinsame Keynote: „Die Kunden wollen die Performance auf jeden Fall haben, der Markt verlangt das...“ (Teepe), „... solange dabei Grundanforderungen an den Leistungsverbrauch erfüllt werden: Ein Smartphone muss einen Tag durchhalten“ (Magarshack).

Keynote: Gerd Teepe (GLOBALFOUNDRIES) und Philippe Magarshack (STMicroelectronics)

“Gaining 10x in Power Efficiency in the Next Decade in Consumer Products”

Gerd Teepe, Director Design Enablement von GLOBALFOUNDRIES in Dresden, und Philippe Magarshack, Technology Group Vice-President und Central CAD & Design Solutions General Manager von STMicroelectronics in Crolles, gestalteten eine gemeinsame Keynote und brachten damit sowohl die Zusammenarbeit Ihrer beiden Unternehmen als auch der beiden Cluster Dresden und Grenoble zum Ausdruck.

„Mikroelektronik ist und bleibt unser Markenname“,

so Gerd Teepe zu Beginn seines Beitrags, auch wenn die Mikroelektronik bereits bei Nano-Strukturen angekommen und der eigentliche Treiber von Nanotechnologie sei. Die Materialwissenschaften sind von elementarer Bedeutung für die Weiterentwicklung der Technologien, nur mit weiterer Verkleinerung der Strukturbreiten und passenden Verfahren für die Lithographie wird man nicht weiter kommen.

Eine besonders wichtige Herausforderung besteht nach Teepe darin, den Leistungsverbrauch in den Griff zu bekommen. Hierzu gab es bereits eine Reihe von technologischen Maßnahmen, die mit der Einführung neuer Technologieknoten durchgeführt wurden. Dabei geht es u. a. um die Verwendung neuer Materialien, aber auch um neue Verbindungsmethoden wie 3D-stacking und TSVs. Stetig reduziert wurde auch die Versorgungsspannung, die von ehemals 20 V inzwischen bei weniger als 1 V angekommen ist. Wichtig sind auch Konzepte wie „dark silicon“ – aktuell nicht benötigte Schaltungsteile werden komplett abgeschaltet. Weiter stellte Teepe eine 3D-Innovation-Roadmap zur Weiterentwicklung der Packages vor und betonte dann besonders die Bedeutung einer Reihe von „Crossover Areas“ zwischen Technologie und Schaltungen. Hierzu nannte er „IP Design – Process Co-Optimization“, „IP-Silicon – Spice Correlation“, „Litho-Aware IP-Optimization & Analysis“, „IP-Reliability Modeling & Estimation“ sowie „Product Grade Qualification“.



Abbildung 3.04: Dr. Gerd Teepe bei seiner Keynote

„EDA-tooling is essential“

Nach vorne blickend betonte Teepe, dass immer ein Kompromiss zwischen Leistungsverbrauch und Performance gefunden werden müsse und dass letztlich das Systemdesign über die erzielte Reduktion des Leistungsverbrauchs entscheide. Implementierung von Funktionen in Hardware oder Software, drahtlose oder drahtgebundene Lösungen und der Integrationsgrad sind für ihn Beispiele mit großen Auswirkungen. Um so letztlich Schaltungen und Systeme mit den erforderlichen Senkungen beim Leistungsverbrauch entwickeln zu können, ist für Teepe die Verfügbarkeit geeigneter innovativer EDA-Werkzeuge unentbehrlich.

Power-efficient SOCs: Technology meets design

Unter dieses Motto stellte Philippe Magarshack den ersten Teil seines Beitrags. Aktuelle Produkte müssten Taktfrequenzen im GHz-Bereich mit einem geringen Leistungsverbrauch in Einklang bringen. Hierzu werden in dem Design Flow für 40/28 nm-SOCs auch besondere Entwurfsmethoden benötigt. So werden komplette Blöcke aus- und wieder eingeschaltet oder die Versorgungsspannung adaptiv von der Software gesteuert: Heute sei die Versorgungsspannung auf etwa 1 V gesunken, künftig wird sie Software-gesteuert zwischen einer weiter reduzierten Spannung im normalen Modus und einer Overdrive-Spannung für maximale Leistungsfähigkeit im Betrieb umgeschaltet. Messen und reagieren – so sehen deshalb für Magarshack die Schaltungsentwürfe von morgen aus.



Abbildung 3.05: Philippe Magarshack bei seiner Keynote

Von „Overdesign & Margin“ hin zu „Sense & React“

Dieser Paradigmenwechsel muss laut Magarshack künftig auf allen Ebenen stattfinden: beim Systementwurf, bei der Software, bei 3D-Modulen, auf IC-und

Blockebene sowie auch bei den Halbleiterprozessen. Die geforderte 10-fache Verbesserung beim Leistungsverbrauch könne nur durch die Kombination von Maßnahmen auf allen Ebenen realisiert werden. Prozesse, Schaltungen und Systeme müssen nach Magarshack als Ganzes und nicht wie bisher isoliert betrachtet werden. Hierzu sei auch eine viel konsequentere Ausnutzung des zur Verfügung stehenden Entwurfsraums notwendig. Während bisher nur lokale Optima gesucht wurden, müsse künftig der gesamte Entwurfsraum nach besseren Lösungen abgesucht werden. Dies werde auch den Einsatz von Rechenleistung in bisher unvorstellbaren Größenordnungen erfordern, wie auch Teepe anschließend beipflichtete.

In der abschließenden Diskussion betonten beide die große Bedeutung intensiver Kooperationen, ohne die sich die komplexen Herausforderungen nicht bewältigen lassen. Beide zeigten sich aber optimistisch und erwarteten keine unüberwindbaren Hindernisse. Die weiteren Vorträge des Workshops zeigten dann auch, dass in zahlreichen F&E-Projekten bereits intensiv an Lösungsbeiträgen gearbeitet wird. Und die Kooperation zwischen edaWorkshop und CATRENE DTC ist ein gutes Beispiel für den europäischen Geist aller Beteiligten.



Abbildung 3.06: Bastiaan de Groot, von Philips bei seiner Keynote
Keynote: Bastiaan de Groot (Philips)

„Smart Environments“ – Anwendungen, aber auch Herausforderungen

Für sogenannte „Smart Environments“ zeichnen sich zahlreiche neue Anwendungen ab. Welche genau, dar-

über gab der Keynote Vortrag von Bastiaan de Groot, von Philips einen Überblick. Der Begriff „Smart Environments“ umfasse Anwendungen, in denen Dinge vernetzt werden und intelligent oder gar autonom agieren. Die Anwendungen fokussierten sich derzeit auf drei Gebiete, in denen seitens der Gesellschaft ein Bedarf an Problemlösungen bestehe: Multimedia-Systeme, Healthcare und Energie. Die Architektur ist – so de Groot – in diesen Gebieten hinsichtlich der zur Vernetzung verwendeten Technologie ähnlich – WiFi, Bluetooth und ZigBee werden eingesetzt. Die Gebiete unterscheiden sich aber hinsichtlich Standards auf Applikationsebene erheblich: Hier gehe es darum, die ausgetauschte Information semantisch zu interpretieren.

Die Motivation von Verbrauchern, Geld auszugeben ist nach de Groot im Multimediabereich sehr groß. Neue Medien, stark wachsende Speicher- und Kanalkapazitäten sowie Aufnahmemöglichkeiten in verschiedenen Bereichen schafften eine große Nachfrage nach Vernetzung von entsprechenden Geräten. Die Industrie sei diesem Bedarf durch die Schaffung des Standards DLNA (Digital Living Network Alliance) nachgekommen. Der Standard ermöglicht laut de Groot die Vernetzung von Digitalen Medien Servern und Renderern (z. B. TV), Druckern und Mobilien Geräten (z. B. Smart-Phone) auf Applikationsebene.

Im Gebiet „Healthcare“ sei der Druck, Geld zu sparen eine treibende Kraft. Blutdruck, Herzfrequenz, Sauerstoffsättigung oder Glukoselevel könnten über das Netz an Ärzte übertragen werden. Hier ermögliche es der Standard „Continua“ den Herstellern kompatible Produkte auf den Markt zu bringen.

Im Gebiet „Energie“ ermögliche die Vernetzung von „Appliances“, unnötige Dienste selbständig ausschalten oder den Energiebedarf zeitlich verschiebbare Dienste (z. B. Klimaanlage, Kühlschrank) in Zeiten zu verschieben, wo erneuerbare Energien viel Energie bereitstellen. Allerdings ist nach de Groot gerade hier die Standardisierung noch teilweise offen. ZigBee und



Abbildung 3.07: Die Teilnehmer der Podiumsdiskussion „Network on Chip – Alternative Solutions and Future Directions“

andere Technologien stellen zwar geeignete Profile bereit, allerdings besteht noch gerade auf höheren semantischen Ebenen, etwa bei der Kommunikation mit dem Grid-Provider noch Entwicklungsbedarf.

Eine Reihe von Forschungsprojekten, wie etwa eDiana, HERTZ oder SmartCoDe befassen sich mit diesen Themen. Gerade das Gebiet „Energie“ reizte das Publikum zu kritischen Fragen: Was ist mit Sicherheit und Privacy im total vernetzten Haus? Werden wir gläserne Kunden von Netzbetreibern? Technische Lösungen ermöglichen alle Extreme. Was davon Realität wird, hängt von zukünftiger Standardisierung und Gesetzgebung ab. (C. Grimm)



Abbildung 3.08: Paul Merkus from Philips introduces his Colleague Mark van Helvoort

Project presentation: Mark van Helvoort (Philips Healthcare)

“THOR: Striking Technologies for Power”

In the session on healthcare Mark van Helvoort from Philips Healthcare presented the contents of the THOR project. The project is executed under both EUREKA programmes CATRENE and EURIPIDES and aims at developing highly efficient, integrated and reliable power electronics technologies for automotive, aeronautics and healthcare applications. The project covers the development of new technologies for discrete power components (IGBT's, JFET, Diodes, based on wide band gap semiconductors), power cores, storage elements (supercapacitors), packaging for high temperature, thermal and EMC management solutions.

To reach these goals, automotive, aeronautics and healthcare end-users, semiconductor and capacitor manufacturers are associated with technology developers and European academic partners. THOR will improve the robustness and reliability of high power electronics systems and will facilitate their miniaturisation. To obtain these deliverables a significant amount of modelling is required. Due to the dense construction of the new semiconductors, their packages and the cooling system, it is a challenging task to build multi-physical models of the assembly to simulate the lifetime of given mission profiles, taking into account the interactions of both heat dissipation, heat draining across interfaces, cooling, differential thermal expansion and materials and interface aging.

The derived lifetime models will be used both during the design phase and during operation. For the design phase crosscut needs like EMC, electro-thermal modelling, thermo-mechanical modelling and chip/package co-design will be combined in a toolbox for high power modules. During operation the models will be used in conjunction with monitoring sensors in order to create a prognostic system, which is able to predict when maintenance of a specific component will be due. (P. Merkus)

Podiumsdiskussion

“Network on Chip – Alternative Solutions and Future Directions”

Die Netzwerk-basierte Kommunikation zwischen Chip-Komponenten mittels Network on Chip (NoC) war das Thema der Podiumsdiskussion am ersten Tag die von Bernard Candaele (Thales) moderiert wurde. Eine ausführliche Zusammenfassung der Diskussion finden Sie im Anschluss an diesen Artikel auf Seite 24.



Abbildung 3.09: Georg Georgakos von Infineon präsentiert die Ergebnisse von HONEY

Projektvortrag HONEY: Georg Georgakos (Infineon)

“Design Methods to Influence SoC Quality”

In seinem Vortrag gab Georg Georgakos von Infineon Technologies, der Koordinator des IKT2020- und MEDEA+-Projektes HONEY (Förderkennzeichen 01 M 3184) einen konzentrierten Überblick über Ziele und Ergebnisse seines mittlerweile beendeten Projektes. HONEY beschäftigte sich, ganz allgemein gesprochen, mit der Verbesserung der Qualität heutiger System-on-Chip-Produkte mit Fokus auf den Automotive-Bereich. Im Projekt ging man dabei von folgender Überlegung aus: Der für ein System erreichbare Grad der Qualität wird festgelegt durch den Grad der Qualität, der in dem “schwächsten” Entwurfsschritt in der Wertschöpfungskette erreicht werden kann. Ansatzpunkt für das Projekt war, die Qualität des “schwächsten” Entwurfsschrittes zu steigern. Diesen “schwächsten Schritt” identifizierte man im Design-Bereich bei den Aspekten Ausbeute und Zuverlässigkeit. Sie haben durch die Entwicklungen der letzten Jahre einen sehr starken Einfluss auf den Entwurfsprozess insgesamt gewonnen und konnten bislang nur unzureichend berücksichtigt werden. Zwei der Ergebnisse spiegeln den Projekterfolg besonders gut wieder:

- » Es konnten Designregeln und Richtlinien entwickelt werden, die den Entwurfsprozess vor allem in Hinblick auf Ausbeute und Zuverlässigkeit systematisieren und maßgeblich vereinfachen.
- » Neue Testchips und Messmethoden wurden entwickelt, die dafür sorgen, dass statistische und realistischere Daten gewonnen werden. Damit stehen zum ersten Mal für diesen Entwurfsschritt realistische und produktrelevante Daten inklusive der notwendigen Statistiken zur Verfügung. Das hat zur Folge, dass der Produktnutzen wesentlich besser und klarer quantifiziert werden kann und damit eine fundierte Basis zur Verfügung steht, um besonders nutzbringende Designoptimierungen zu ermitteln und zukünftig einsetzen zu können.



Abbildung 3.10: Die ersten nahezu 20 europäischen Design Center die schon von HONEY-Ergebnissen profitierten

Georgakos fasste die Ergebnisse mit folgenden Worten zusammen: „HONEY was a big first step towards high quality systems which utilize modern semiconductor technologies at an economic cost competitive way“. Ein Überblick, in welche europäischen Designcenter die Ergebnisse bereits einfließen, ist in Abbildung 3.10 gegeben. (cp)



Abbildung 3.11: Serge Scotti from ST, France leads through the High-level AMS Design Session

Technical Session

“High level AMS design“

The High Level AMS design session tutorial was based upon two running European initiatives, executed in the projects “Beyond DREAMS” (MEDEA+) and “SyEnA”

(IKT 2020). Beyond DREAMS challenges the architecture level for embedded analogue and mixed signal designs and verification while SyEnA – presented in another Session described later on page 24 – complements the approach throughout simulatable specifications studies and analogue synthesis.

The Beyond DREAMS project objectives resulting in a higher level of abstraction were presented by Serge Scotti from ST, France. New means to model and simulate the interaction between AMS subsystems and hardware/software subsystems at functional and architecture level have been presented by the partners. Martin Barnasconi from NXP, The Netherlands presented the influential consortium contributions to SystemC AMS 1.0 Standard, proof of concept simulator and industry adoption by event organization. Marie-Minerve Louerat from the University Pierre et Marie Curie in Paris, France presented the refinement methodology for AMS design, showing several abstraction levels of one analog block from AMS hardware/software co-design down to the hardware implementation. Focus was on the constraints added at each level of refinement and the corresponding requirements for models management. Emmanuel Vaumourin, Magilem Design Services, France presented the AMS Extensions for IP-XACT: standard for flow automation and reuse, how the current version of IP-XACT IEEE standard can be used today for AMS IPs and system description and what are the specific requirements of extensions to support AMS specifics.

More information on SystemC-AMS: www.systemc.org

The session was completed by two presentations on scientific contributions: Franck Paugnat from Grenoble INP TIMA, France presented “A Performance Comparison between the SystemC-AMS Models of Computation” while Stefan Rieke from Northrop Grumman LITEF concluded the session with the presentation of a complex SystemC-AMS application resulting from the SyEnA project. It was entitled “Simulatable Specification for Complex Fibre-Optical Navigation Systems”.



Abbildung 3.12: Blick auf das Podium zum Thema “More than Moore – the Most Important Driver of Microelectronics! Or?”

Podiumsdiskussion

“More than Moore – the Most Important Driver of Microelectronics! Or?”

Über das Ende des Mooreschen Gesetzes haben sich in den letzten Jahren schon unzählige Diskussionsrunden die Köpfe heiß geredet. Interessant an diesem

Panel waren jedoch die unterschiedlichen Vorstellungen der Experten, welche Anwendungen und Herausforderungen die Mikroelektronik in den nächsten Jahren vorantreiben kann.

Wenn Europa in der Elektronik mit Asien und Amerika mithalten wolle, dann braucht es eine Technologie, in die man das spezifische Know-how europäischer Wissensinstitutionen einbringen könne und die den Namen „More than Moore“ bekommen hat: Mit „More than Moore“ gelingt es, neue Funktionalität on-chip zu ermöglichen und neue Anwendungsfelder zu eröffnen und damit einen Mehrwert zu erzeugen.



Abbildung 3.13: Dr. Christian Sebeke von Bosch moderiert die Podiumsdiskussion

Unter der Moderation von Christian Sebeke von Bosch diskutierten Hans-Jürgen Brand von GLOBALFOUNDRIES, Thomas Wilde von Fraunhofer IIS/EAS, Steffen Kroehnert von Nanium, Roberto Zafalon von STMicroelectronics, Thomas Hötzel von Atmel sowie Wolfgang Stronski von Cadence über die Möglichkeiten, die der Ansatz „More than Moore“ der europäischen Halbleiterindustrie bringen kann.

Brand hält die Kombination aus „More Moore“ und „More than Moore“ für notwendig, um Innovationen zu erreichen. Gerade im Bereich „3D-Technologie“ entstünden Anwendungen, die in den kommenden Jahren Treiber für den wirtschaftlichen Erfolg sein würden. Hinzu komme, dass „More than Moore“ auch traditionelle Märkte wie z. B. „Wireless“ oder „Computing“ beeinflussen werde.

Bestärkt wurde Brands Aussage durch Kroehnert, für den ebenfalls die 3D-Integration der Schlüssel zum Erfolg und damit Treiber für „More than Moore“ ist. Medizintechnik, Sensoren sowie die mobile Kommunikation benötigten Systeme mit neuen Funktionen, die nur durch die Kombination von SOC und SiP kostengünstig entworfen werden könnten.

Dass der Erfolg der Mikroelektronik auch bisher nicht nur davon abhing, Dinge „kleiner, schneller und günstiger“ zu machen, betonte Wilde. Vielmehr bestimme die Anwendung neue Innovationen. Intelligente und kleine Maschinen, die eine hohe Rechenleistung sowie interaktive Sensoren/Aktoren benötigen, sind seine Visionen für zukünftige Herausforderungen.

Zafalon sieht in den Bereichen Power-Management und Smart-Systems die treibende Kraft für „More than Moore“-Anwendungen. Das Ziel in Europa müsse sein, den Leistungsverbrauch im Standby-Betrieb von Geräten auf weniger als ein Watt zu reduzieren. Allein damit ließe sich der jährliche Leistungsverbrauch Dänemarks (~ 35 TWh) einsparen! Weitere Ansätze seien die Umrüstung von Straßenlaternen auf LED-Technik, intelligente Optimierung von Leistungsverbrauchern



Abbildung 3.14: Die Teilnehmer der Podiumsdiskussion „More than Moore – the Most Important Driver of Microelectronics! Or?“

im Haushalt und natürlich der flächendeckende Einsatz von Hybrid- und Elektrofahrzeugen. Technologisch sieht er den Einsatz von MEMS und neuen Materialien wie SiC und GaN als Schlüssel für neue Applikationen.

Nach Meinung von Hötzel hat die Entwicklung von „More than Moore“ Lösungen gerade erst begonnen. Dabei sei es nicht allein eine Herausforderung europäischer Entwickler, vielmehr bestehe ein weltweiter Wettbewerb um die besten kommerziell verwertbaren Lösungen. Als großen Treiber sieht er z. B. innovative Anwendungen, die kontakt- bzw. berührungsbehaftet agieren müssen (z. B. touch panel, finger print) – und das auch im Automobil. Weiter weist Hötzel auf notwendige Produktivitätssteigerungen hin. Die dafür benötigten Methoden und Tools im „More than Moore“-Werkzeugkasten können nach Meinung von Hötzel über enge Kooperationen, Förderungen und neuartige EDA-Business-Modelle adressiert werden, um den hohen Finanzbedarf für diese großen Herausforderungen zu decken. Ein „Problem too big and market too small“ Syndrom.

Stroński sagte, dass die EDA-Industrie heute an einem Scheideweg für die Fortführung eines erfolgreichen Geschäftes stehe. Seiner Meinung nach müssen die traditionellen Entwurfsverfahren abgelöst werden wobei es die Integration in elektronische Systeme zu unterstützen gelte, was zu einem neuen Satz von Tools führe. Firmen seien dann „Integratoren“ und würden vom reinen Chip-zu-Plattform-Anbieter, wobei man sich auf eine hohe Rentabilität konzentrieren könne. Solche Firmen benötigen ganz andere Softwaretools, wie sie z. B. in „EDA360“ von Cadence bereits verfügbar seien. (Tr)

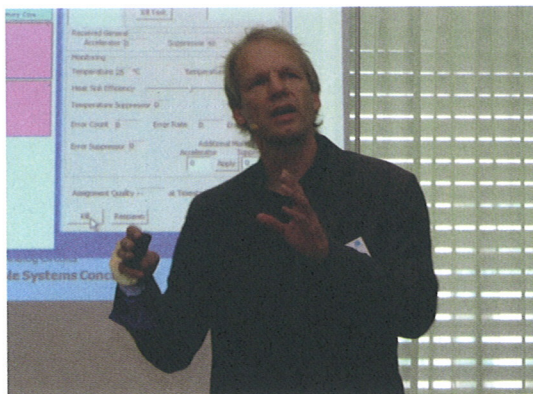


Abbildung 3.15: Prof. Dr. Lars Hedrich von der Universität Frankfurt a.M. bei seiner Keynote

Keynote Lars Hedrich (Universität Frankfurt)

“Design and Verification of Dependable Analog Systems“

In der Keynote des dritten Tages stellte Lars Hedrich von der Universität Frankfurt seine Einschätzungen zu Entwurf und Verifikation von zuverlässigen analogen Systemen dar. Hedrich ging bei seinen Ausführungen davon aus, dass analoge Schaltungen die einwandfreie Funktion von ganzen (Multi-Core-Mixed-Signal-)Systemen auf einem Chip aufgrund ihrer zentralen Rolle als Taktgeber

oder als Spannungsversorgung hemmen können und leitete daraus die herausragende Bedeutung der Verifikation analoger Funktionalität ab. Die Sicherstellung großer Leistungsfähigkeit und Sicherheit bei hoher Lebensdauer und geringen Kosten gehören laut Hedrich zu den wichtigsten Aufgaben bei Entwurf und Herstellung moderner robuster Systeme. Diese Aufgaben werden schon seit einiger Zeit durch Alterungs- und Degradation-Effekte deutlich erschwert, da analoge Transistor-Parameter nicht nur mit dem Herstellungsprozess sondern auch über die Lebensdauer einer Schaltung variieren. Die Degradation sei zudem noch signalabhängig, was die Schätzung von Ausfallraten und Lebensdauer zu einer schwierigen Aufgabe werden lasse.

Im Anschluss stellte Hedrich zwei moderne Ansätze zur formalen Verifikation analoger Systeme vor, die über das reine Simulieren hinausgehen. Zum einen handelte es sich dabei um die Erreichbarkeitsanalyse die mit Hilfe von einer analogen Spezifikationsprache (ASL) und Assertions möglich wird. Auf der anderen Seite zeigte er, wie das aus dem Digitalen erfolgreiche Model-Checking in einen dazu eigens entwickelten Flow eingebunden auch für analoge Systeme zum Erfolg führt. Beide Verfahren erlauben den Beweis analoger Funktionalität ohne dazu Stimuli zu benötigen. Schließlich gab er einen kurzen Überblick, welche formalen Methoden bereits für welche Schaltungsklassen möglich sind. Anschließend ging er auf die Verlässlichkeit analoger Schaltungen ein: So sei die NBTI (negative Bias temperature instability) in analogen Schaltungen durch die kontinuierlichen Spannungen und Ströme deutlich schwieriger zu bestimmen als im Digitalen und die analoge Funktionalität in dieser Hinsicht auch deutlich schwieriger sicherzustellen. Schließlich ging Hedrich auf abhängige Systeme ein, bei denen es in erhöhtem Maße auf einen System-Blick ankomme. So präsentierte er einen Ansatz für den Entwurf von Mixed-Core-SoCs, bei dem redundante Cores unterschiedlichen Typs durch ein selbstjustierendes Kontrollsystem, ähnlich der Wirkweise von Hormonen in der Biologie mit Funktionalität belegt würden.

Insgesamt hielt Hedrichs Keynote dass, was von der traditionell akademisch orientierten Keynote am letzten Tag des edaWorkshops zu erwarten war: Er gab eine Einführung in den Stand der Forschung in einer komplexen Thematik, die reichlich Diskussionsstoff für die Pause bot (Pp).

Projektvortrag ROBUST: Martin Radetzki (Universität Stuttgart)

“Design Methods for ROBUST Electronic Systems – Searching for the Holy Grail?“

Die Suche nach dem Heiligen Gral ist eins der geheimnisvollsten und geschüttesten Geheimnisse weltweit. Viele reden über den Heiligen Gral [Robustheit], aber wer weiß [kann definieren], was das überhaupt ist? In seinem Vortrag über das EDA-Clusterforschungsprojekt ROBUST (Förderkennzeichen 01 M 3187) versuchte Martin Radetzki etwas Licht ins Dunkel zu bringen.



Abbildung 3.16: Prof. Dr. Martin Radetzki von der Universität Stuttgart spricht über Erfolge des Projektes ROBUST

Das Projekt ROBUST erforscht neue Methoden und Verfahren zum Entwurf robuster eingebetteter Systeme und konzentriert sich dabei auf die besonders kritischen nanoelektronischen Komponenten. Hierzu werden erstmals Maße zur Quantifizierung der Robustheit definiert. Diese Maße werden mit Hilfe von abstrahierenden Robustheitsmodellen und unter Anwendung neuer Robustheitsanalyseverfahren für die Systemebene ermittelt.

Unter Robustheit eines elektronischen Systems ist zu verstehen, dass das System seine spezifizierten Funktionalität auch erfüllen kann, wenn es im Fertigungsprozess zu Variationen sowie im Betrieb zu Schwankungen der Umgebungsparameter (z. B. Spannung, Temperatur), Alterung des elektronischen Systems oder auch Störungen durch die Umgebung (z. B. Strahlung, elektromagnetische Felder) kommt. So einfach wie diese Definition klingt, so schwer ist es, dies auch algorithmisch zu formulieren und damit für Entwurfswerkzeuge zur Verfügung zu stellen.

Der mathematische Ansatz zur Abschätzung und Berechnung eines Robustheitsmaßes, den Radetzki in seinem Vortrag präsentierte, wurde in [1], [2] und [3] ausführlich vorgestellt.

Die Robustheitsmaße werden eingesetzt, um beim Entwurf statische und dynamische Optimierungen der Robustheit gezielt durchzuführen und zu bewerten. Als Ergebnisse entstehen neue Methoden und prototypische Werkzeuge, welche im Rahmen eines Top-Down-Systementwurfs nanoelektronischer Systeme die Robustheit bereits in frühen Entwurfsphasen berücksichtigen. Die Methoden und Prototypen werden durch Anwendung auf ein Demonstrator-Design evaluiert und den industriellen Projektpartnern für weiterführende Arbeiten zur Integration in ihren Entwurfsprozess zur Verfügung gestellt.

Im weiteren Verlauf präsentierte Radetzki die Untersuchung von Methoden und Verfahren zur Robustheitsanalyse durch Fehlersimulation analoger und digitaler Teile eines Systems, die im Rahmen der Projektarbeiten durchgeführt wurden. Diese Arbeiten werden integriert durch die Nutzung der Systemmodellierungs-

bibliothek SystemC-AMS als gemeinsame Basis sowie durch die angestrebte integrierte Robustheitsbewertung des Gesamtsystems.

Um die Robustheit eines Systems zu bestimmen, wird dieses zunächst mit Fehlern simuliert, wobei die Fehler bezüglich ihrer Auswirkungen klassifiziert werden. In einem zweiten Schritt werden die Fehler mit ihrer charakterisierten Auftretenswahrscheinlichkeit bei unterschiedlichen Störeinflüssen bewertet. Durch Summation wird die Wahrscheinlichkeit einer Eigenschaftsverletzung bestimmt, womit die Robustheit berechnet werden kann. (Tr)

- [1] *Projektbericht ROBUST, newsletter edacentrum 03/04/2010, S. 5-14*
- [2] *„Robustheit nanoelektronischer Schaltungen und Systeme“, Zuverlässigkeit und Entwurf, 4. GMM/GI/ITG Fachtagung vom 13.–15. September 2010 in Wildbad Kreuth, VDEVerlag, 2010.*
- [3] *„Robuste eingebettete Systeme“, Themenheft Forschung 7/2010-2011, Intelligente Fahrzeuge, S. 10ff, http://www.uni-stuttgart.de/hkom/publikationen/themenheft/07/robuste_eigebettete_systeme.pdf*



Abbildung 3.17: Dr. Achim Graupner von ZMDi spricht über Erfolge des Projektes SyEnA

Projektvortrag SyEnA: Achim Graupner (ZMDi)

“SyEnA Drives Synthesis-Supported Design of Analog Circuits”

In einer weiteren von Analog/Mixed-Signal (AMS) geprägten Session der Veranstaltung präsentierte A. Graupner von ZMDi die wesentlichen Ergebnisse des IKT2020-Projekts „Syntheseunterstützter Entwurf analoger Schaltungen“ (SyEnA, Förderkennzeichen 01 M 3086). Unter dem Titel „SyEnA Drives Synthesis-Supported Design of Analog Circuits“ berichtete er von der SyEnA-Erfolgsgeschichte in unterschiedlichen Bereichen des Entwurfs analoger Schaltungen. Zunächst stellte Graupner die Motivation für das Projekt dar, welches darauf abzielt, innovative Methoden zur Automatisierung des Analogentwurfes zu erarbeiten, welche die gesamte Entwurfskette von der Spezifikation bis zum Layout umfassen. Diese Methoden führen zu einer sig-

nifikanten Erhöhung von Qualität und Produktivität und schaffen neue Chancen für den Entwurf innovativer komplexer Systeme. Neuartige Produkte besonders in den sicherheitskritischen Applikationsfeldern der Medizintechnik und der Automobilelektronik werden dadurch erst möglich. Graupner veranschaulichte diese Wirkungskette anhand des Verkehrs-Unfall-Notrufsystems „eCall“, welches durch ein – durch SyEnA-Methoden realisierbares – inertiales Navigationssystem deutlich verbessert werden könne.

Graupner stellte einen im Projekt entwickelten Design-Flow für die automatisierte Synthese analoger Schaltungen vor, in den der die nachfolgend vorgestellten Ergebnisse einordnete. Aus dem Bereich der „Spezifikation und synthesesgerechte Entwurfsbeschreibung“ (Arbeitspaket 1) nannte er

- » die – bereits in der Session zum High-Level-AMS-Design vorgestellte – Entwicklung eines virtuellen Prototyps von einem glasfaserbasierten Inertialmesssystem, mit dessen Hilfe der Entwurf solcher im Kfz einsetzbaren Systeme zur Verbesserung des Notrufsystems möglich wird
- » und die auch innerhalb von SyEnA wesentlich vorangetriebene Entwicklung des neuen Standards SystemC AMS 1.0, der wesentlich zum effizienten und leistungsfähigen Top-Down-Entwurf analoger Schaltungen beiträgt.

Aus dem Bereich der „Syntheseverfahren für analoge Schaltungen“ (Arbeitspaket 2) erwähnte Graupner gleich vier Ergebnisse:

- » Mit Hilfe einer „entdeckenden“ Topologiesynthese lassen sich analoge Schaltungen auf Transistorebene halbautomatisch synthetisieren, wobei auch bisher nicht eingesetzte Topologien zur Auswahl gestellt werden.
- » Mit Hilfe eines Verfahrens zur Initial-Dimensionierung im Hinblick auf eine schnelle Machbarkeitsanalyse lassen sich vorhandene Topologien schnell auf ihre Eignung für eine neue Entwurfsaufgabe überprüfen.

- » Durch die Computer-gestützte Synthese von Kompensationsnetzwerken lassen sich die Eigenschaften von Systemen mit Rückkopplung in bisher nicht erreichtem Maße optimieren.
- » Durch einen generatorbasierten Ansatz für Schaltungs- und Layoutentwurf analoger Schaltungen lassen sich existierende Schaltungsentwürfe effizient und skalierbar in neue Technologien überführen. Aus dem Bereich der „Verfahren zur Bewertung der Syntheseergebnisse“ (Arbeitspaket 3) stellte Graupner zwei wesentliche Resultate vor.

- » Die „Entwurfsunterstützung durch automatisierte Bewertung“ erlaubt eine effiziente und wohl definierte automatisierte Bewertung von Entwürfen.
- » Mit der Methodik zum Management von Entwurfsaufgaben lassen sich die komplexen Entwurfschritte effizient in einem „Workflow“ organisieren und dokumentieren.

Graupner verdeutlichte mit diesen Ergebnissen, dass das SyEnA-Konsortium bemerkenswerte Lösungen in nahezu allen Bereichen des Entwurfs analoger Schaltungen entwickelt hat. Damit habe SyEnA einerseits signifikant zur Verbesserung des Analogentwurfs beigetragen und die Voraussetzung für die Entwicklung neuartiger bisher nicht realisierbarer Mixed-Signal-Anwendungen geschaffen. (Pp)

Abendveranstaltungen im „Altmarktkeller“ und dem „Deutschen Hygienemuseum“

Geselligkeit an sehenswerten Orten

Die dreitägige Veranstaltung bot die Gelegenheit, zwei Abende gemeinsam zu verbringen. Am ersten Abend traf man sich zum geselligen Dinner im „Altmarktkeller“ am gleichnamigen Platz. Das Dinner am zweiten Abend wurde im Lichthof des deutschen Hygienemuseums im Anschluss an eine Führung serviert, nachdem dort die EDA-Medaille verliehen wurde. Sie ging – wie auch 2009 – passenderweise an einen EDA-Leistungsträger aus dem deutschen Osten, an Herrn Prof. Dr.-Ing. Günter Elst, der damit einmal mehr für sein herausragendes Engagement zur Förderung von EDA gewürdigt wurde. (Pp)

edacentrum verleiht EDA Medaille 2011 an Prof. Dr.-Ing. Günter Elst

www.edacentrum.de/awards.html

Auf dem diesjährigen edaWorkshop wurde Prof. Dr.-Ing. Günter Elst für sein Lebenswerk in Forschung und Lehre auf dem Gebiet Electronic Design Automation (EDA) mit der EDA-Medaille ausgezeichnet.

Das edacentrum würdigt damit das herausragende Engagement von Prof. Elst zur Förderung von EDA während seiner über 40-jährigen Tätigkeit in Industrie und Forschung.

Herr Elst gehört zu den Elektronik-Ingenieuren, die noch ein universelles Wissen besitzen. Er verfügt über einen ausgezeichneten Überblick über den Entwurf und die gesamte Breite der Entwurfsverfahren integrierter Schaltkreise von Transistoren bis zu Prozessoren. Das Hauptarbeitsgebiet und gleichzeitig die größte Leidenschaft von Herrn Elst waren die analogen Schaltungen mit ihren vielfältigen numerischen Problemen, zu denen er aufgrund seiner Nähe zur Mathematik einen

Der edaWorkshop12 findet am 8. und 9. Mai 2012 wieder in Hannover im Courtyard Marriott Hotel statt. Aktuelle Informationen unter www.edacentrum.de/edaWorkshop

Kont@kt:

Ralf Popp

fon: (05 11) 7 62 – 1 96 97

popp@edacentrum.de